

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-161852

(43)公開日 平成7年(1995)6月23日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8247

29/788

29/792

H 0 1 L 29/ 78

3 7 1

G 1 1 C 17/ 00

3 0 8

審査請求 未請求 請求項の数8 O L (全 19 頁) 最終頁に続く

(21)出願番号 特願平5-311732

(22)出願日 平成5年(1993)12月13日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 ヘミンク・ゲルトヤン

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72)発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

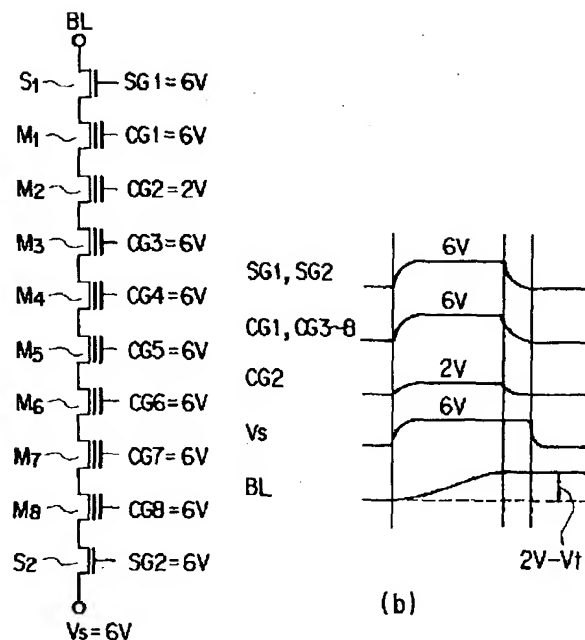
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【目的】 ペリファイ読み出し電圧を変えずに多値情報を読み出すことができ、ペリファイ読み出し時間の短縮をはかり得るNANDセル型EPROMを提供すること。

【構成】 半導体層上に浮遊ゲートと制御ゲートCG (CG1~CG8)を積層して構成され、電氣的書き替えを可能としたメモリセルM (M1~M8)を直列接続してなるNANDセルをマトリクス状に配置されたメモリセルアレイを有するEEPROMにおいて、メモリセルMはしきい値で3以上の複数のデータを多値記憶するものであり、データ読み出し時にメモリセルMに接続されるビット線BLを該メモリセルMを介して充電し、かつメモリセルMの多値データを多値レベルの電位としてビット線BLに出力し、充電された多値レベルのビット線電位をセンスアンプによりセンスすることを特徴とする。



(a)

(b)

1

【特許請求の範囲】

【請求項 1】半導体層上に電荷蓄積層と制御ゲートを積層して構成され、電氣的書き替えを可能としたメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルに接続されるビット線を該メモリセルを介して充電するしきい値検出手段と、前記しきい値検出手段によって充電されたビット線の電位をセンスするセンスアンプとを備え、前記しきい値検出手段によるビット線電位は、前記メモリセルのしきい値によって決定されるよう制御される、ことを特徴とする不揮発性半導体記憶装置。

【請求項 2】半導体層上に電荷蓄積層と制御ゲートを積層して構成され、しきい値で 3 以上の複数のデータを多値記憶する電氣的書き替えを可能としたメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルに接続されるビット線を該メモリセルを介して充電し、かつメモリセルの多値データを多値レベルの電位としてビット線に出力するしきい値検出手段と、前記しきい値検出手段によって充電された多値レベルのビット線電位をセンスするセンスアンプと、を具備してなることを特徴とする不揮発性半導体記憶装置。

【請求項 3】前記メモリセルは複数個づつ直列接続され NANDセル構造を形成し、NANDセルの一端は第 1 の選択ゲートを介してビット線に接続され、NANDセルの他端は第 2 の選択ゲートを介してソース線に接続され、前記しきい値検出手段は、ソース線電圧を NANDセルを介してビット線に転送させビット線を充電し、非選択の制御ゲート電圧及び第 1、2 の選択ゲート電圧は、選択されたメモリセルのしきい値でビット線電圧が決定するように、非選択メモリセル及び第 1、2 の選択トランジスタの電圧転送能力を十分高めるように制御される、ことを特徴とする請求項 1 又は 2 に記載の不揮発性半導体記憶装置。

【請求項 4】前記センスアンプとして機能し、センスした情報をメモリセルの書き込み動作状態を制御するデータとして記憶する機能を兼ね備えた複数のデータ回路と、前記メモリセルアレイ中の複数のメモリセルにそれぞれ対応する前記データ回路の内容に応じて書き込み動作を行うための書き込み手段と、前記複数のメモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認するため前記しきい値検出手段を用いた書き込みベリファイ手段と、前記データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書

2

き込みを行うように、データ回路の内容を一括更新するデータ回路内容一括更新手段とを備え、

前記データ回路内容一括更新手段は、ビット線電位が再書き込みデータとしてセンス／記憶されるよう、メモリセルの書き込み動作後の状態が出力されるビット線の電位をデータ回路の内容に応じて修正し、ビット線電位が修正されるまではデータ回路のデータ記憶状態を保持し、修正されたビット線電位を保持したままデータ回路をセンスアンプとして動作させ、データ回路の内容の一括更新を行い、

データ回路の内容に基づく書き込み動作とデータ回路内容一括更新を、メモリセルが所定の書き込み状態になるまで繰り返しながら行うことにより電氣的にデータ書き込みを行う、

ことを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 5】前記データ回路は、書き込み動作時にデータ回路に記憶されているデータに応じてメモリセルの書き込み動作状態を制御し、メモリセルの状態を所定の書き込み状態になるよう変化させるか、又はメモリセルの状態を書き込み動作前の状態に保持するか否かを制御し、

前記データ回路内容一括更新手段は、

メモリセルを所定の書き込み状態になるよう変化させるよう制御するデータが記憶されているデータ回路に対応するメモリセルが所定の書き込み状態に達している場合は、データ回路のデータをメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータに変更し、メモリセルを所定の書き込み状態になるよう変化させるよう制御するデータが記憶されているデータ回路に対応するメモリセルが所定の書き込み状態に達していない場合は、メモリセルの状態を所定の書き込み状態になるよう変化させるよう制御するデータをデータ回路に設定し、

データ回路にメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータが記憶されている場合は、メモリセルの状態を書き込み動作前の状態に保持するよう制御するデータをデータ回路に設定する、ことを特徴とする請求項 4 記載の不揮発性半導体記憶装置。

【請求項 6】前記しきい値検出手段によってメモリセルの書き込み後の状態が出力されるビット線電位の中で、前記データ回路の内容がメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータであるものに対応するビット線の電位のみを、データ回路でセンスした場合にメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータとなるような補正ビット線電位に設定するビット線電位設定回路を備え、

前記データ回路内容一括更新のため、しきい値検出手段によりメモリセルの書き込み動作後の状態が出力される

3

ビット線の電位をデータ回路の内容に応じて前記ビット線電位設定回路によって修正する、

ことを特徴とする請求項 5 記載の不揮発性半導体記憶装置。

【請求項 7】 1つの前記メモリセルに 3 以上の複数の記憶データ “i” ($i = “0”, “1”, “2”, \dots, “n-1”$) を持たせ多値記憶し、データ “0” に対応する記憶状態は消去状態である不揮発性半導体記憶装置であって、

前記データ回路は、メモリセルの状態を書き込み動作前の状態に保持するよう制御するかどうかを情報として記憶する第 1 のデータ記憶部と、第 1 のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御しない情報の場合メモリセルが記憶すべき書き込みデータ “i” ($i = 1, 2, \dots, n-1$) を示す情報を記憶する第 2 のデータ記憶部と、から構成され、前記第 1 のデータ記憶部は、前記データ回路内容一括更新のためデータ回路の内容に応じて前記ビット線電位設定回路によって修正された、しきい値検出手段によりメモリセルの書き込み動作後の状態が出力されるビット線の電位を、センス／記憶する機能を兼ね備える、ことを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 8】 第 1 のデータ記憶部は、参照電圧とビット線電圧を比較することでビット線電位をセンスする機能を備え、

前記データ回路内容一括更新のため、データ回路の内容に応じた参照電圧を用いて、データ回路の内容に応じて前記ビット線電位設定回路によって修正された、しきい値検出手段によりメモリセルの書き込み動作後の状態が出力されるビット線の電位を、センス／記憶する機能を兼ね備える、ことを特徴とする請求項 7 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電氣的書替え可能な不揮発性半導体記憶装置 (EEPROM) に係わり、特に 1つのメモリセルに 1ビットより多い情報を記憶させる多値記憶を行う EEPROM に関する。

【0002】

【従来の技術】 EEPROM の 1つとして、高集積化が可能な NAND セル型 EEPROM が知られている。これは、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共用する形で直列接続し、これを 1 単位としてビット線に接続するものである。メモリセルは通常、浮遊ゲート (電荷蓄積層) と制御ゲートが積層された FETMOS 構造を有する。メモリセルアレイは、p 型基板又は n 型基板に形成された p 型ウェル内に集積形成される。NAND セルのドレイン側は選択ゲ

4

トを介してビット線に接続され、ソース側はやはり選択ゲートを介して共通ソース線に接続される。メモリセルの制御ゲートは、行方向に連続的に配設されてワード線となる。

【0003】 この NAND セル型 EEPROM の動作は、次の通りである。データ書き込みは、ビット線から最も離れた位置のメモリセルから順に行う。選択されたメモリセルの制御ゲートには高電圧 V_{pp} ($= 20V$ 程度) を印加し、それよりビット線側にあるメモリセルの制御ゲート及び選択ゲートには中間電圧 V_{ppm} ($= 10V$ 程度) を印加し、ビット線にはデータに応じて 0V 又は中間電圧 V_m ($= 8V$ 程度) を与える。

【0004】 ビット線に 0V が与えられた時、その電位は選択メモリセルのドレインまで転送されて、電荷蓄積層に電子注入が生じる。これにより、選択されたメモリセルのしきい値は正方向にシフトする。この状態を例えば “1” とする。ビット線に V_m が与えられた時は電子注入が実効的に起こらず、従ってしきい値は変化せず、負に止まる。この状態は消去状態で “0” とする。データ書き込みは制御ゲートを共有するメモリセルに対して同時に行われる。

【0005】 データ消去は、NAND セル内の全てのメモリセルに対して同時に行われる。即ち、全ての制御ゲートを 0V とし、p 型ウェルを 20V とする。このとき、選択ゲート、ビット線及びソース線も 20V にされる。これにより、全てのメモリセルで電荷蓄積層の電子が p 型ウェルに放出され、しきい値は負方向にシフトする。

【0006】 データ読み出しは、選択されたメモリセルの制御ゲートを 0V とし、それ以外のメモリセルの制御ゲート及び選択ゲートを電源電位 V_{cc} (例えば 5V) として、選択メモリセルで電流が流れるかどうかを検出することにより行われる。

【0007】 読み出し動作の制約から、“1” 書き込み後のしきい値は 0V から V_{cc} の間に制御しなければならぬ。このため、書き込みベリファイが行われ、

“1” 書き込み不足のメモリセルのみを検出し、“1” 書き込み不足のメモリセルに対してのみ再書き込みが行われるよう再書き込みデータを設定する (ビット毎ベリファイ)。“1” 書き込み不足のメモリセルは、選択された制御ゲートを例えば 0.5V (ベリファイ電圧) にして読み出すこと (ベリファイ読み出し) で検出される。つまり、メモリセルのしきい値が 0V に対してマージンを持って、0.5V 以上になっていないと、選択メモリセルで電流が流れ、“1” 書き込み不足と検出される。

【0008】 “0” 書き込み状態にするメモリセルでは当然電流が流れるため、このメモリセルが “1” 書き込み不足と誤認されないよう、メモリセルを流れる電流を補償するベリファイ回路と呼ばれる回路が設けられる。

5

このペリファイ回路によって高速に書き込みペリファイは実行される。

【0009】書き込み動作と書き込みペリファイを繰り返しながらデータ書き込みをすることで個々のメモリセルに対して、書き込み時間が最適化され“1”書き込み後のしきい値は0VからVccの間に制御される。

【0010】このNANDセル型EEPROMで、例えば書き込み後の状態を“0”，“1”，“2”の3つにすることを考える。“0”書き込み状態はしきい値が負、“1”書き込み状態はしきい値が例えば0Vから(1/2)Vcc、“2”書き込み状態はしきい値が(1/2)VccからVccまでとする。従来のペリファイ読み出しでは、制御ゲートにペリファイ電圧を印加しメモリセルで電流が流れるか否かで、メモリセルのしきい値がペリファイ電圧以上か否かを判断するため、“1”，“2”書き込み状態に達しているか否かを判断するためにそれぞれペリファイ電圧を0Vと(1/2)Vccにして、2回チェックする必要がある、ペリファイ読み出しに時間がかかるという問題があった。

【0011】

【発明が解決しようとする課題】以上のように従来のNANDセル型EEPROMにおいては、メモリセルに多値情報を記憶させ、従来のペリファイ回路でビット毎ペリファイを行おうとすると、ペリファイ読み出しに時間がかかるという問題があった。

【0012】本発明は、上記の事情を考慮してなされたもので、その目的とするところは、ペリファイ読み出し電圧を変えずに多値情報を読み出すことができ、ペリファイ読み出し時間の短縮をはかり得るEEPROMを提供することにある。

【0013】

【課題を解決するための手段】本発明に係る多値(n値)記憶NANDセル型EEPROMは、読み出し動作時のビット線電位がメモリセルのしきい値を示すように制御される。これは例えば、共通ソース線を6V、選択された制御ゲートに2Vを与え、ビット線に共通ソース線の電位を転送させる。ビット線電位がメモリセルのしきい値に達した時、メモリセルを流れる電流は止まり、そのビット線電位は制御ゲート電圧2Vからメモリセルのしきい値を引いた値となる。ビット線電位が3Vであれば、メモリセルのしきい値は-1Vである。非選択の制御ゲートと選択ゲートは、ビット線電位が非選択メモリセル或いは選択トランジスタのしきい値で決定しないよう、例えば6Vとする。

【0014】消去状態を“0”とし多値レベルをメモリセルのしきい値の低い順に“0”，“1”，…，

“i”，…“n-1”とすると、ペリファイ読み出しでは書き込みが十分か否かを全てのデータ“i”について同時にペリファイするために、書き込みデータに応じてビット線電位をセンスする時の基準電位が設定される。

6

また、データ“0”書き込みの場合のように、すでに書き込み十分と検出されていればメモリセルの電流は補償され、書き込み不十分であると検出されていればメモリセルの電流は補償されないようペリファイ回路が設けられる。

【0015】また、書き込み十分か否かをデータとして記憶する第1のレジスタと、書き込む多値レベルが“1”，…，“n-1”のうちのいずれかを記憶する第2のレジスタを備え、第1のレジスタは書き込み十分か否かを検出するセンスアンプの機能も兼ね備える。さらに、所望の書き込み状態に達していないメモリセルがあれば、そのメモリセルのみに再書き込みが行われるよう、所望の書き込み状態に応じて書き込み時のビット線電圧を出力するビット線書き込み電圧出力回路を備えたことを特徴としている。

【0016】即ち本発明は、半導体層上に電荷蓄積層と制御ゲートを積層して構成され、しきい値で3以上の複数のデータを多値記憶する電氣的書き替えを可能としたメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルに接続されるビット線を該メモリセルを介して充電し、かつメモリセルの多値データを多値レベルの電位としてビット線に出力するしきい値検出手段と、しきい値検出手段によって充電された多値レベルのビット線電位をセンスするセンスアンプとを備えた不揮発性半導体装置を基本構成とし、次の実施態様を特徴とする。

(1) メモリセルは複数個づつ直列接続されNANDセル構造を形成し、NANDセルの一端は第1の選択ゲートを介してビット線に接続され、NANDセルの他端は第2の選択ゲートを介してソース線に接続され、しきい値検出手段は、ソース線電圧をNANDセルを介してビット線に転送させビット線を充電し、非選択の制御ゲート電圧及び第1、2の選択ゲート電圧は、選択されたメモリセルのしきい値でビット線電圧が決定するように、非選択メモリセル及び第1、2の選択トランジスタの電圧転送能力を十分高めるように制御されること。

(2) センスアンプとして機能し、センスした情報をメモリセルの書き込み動作状態を制御するデータとして記憶する機能を兼ね備えた複数のデータ回路と、メモリセルアレイ中の複数のメモリセルにそれぞれ対応するデータ回路の内容に応じて書き込み動作を行うための書き込み手段と、複数のメモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認するためしきい値検出手段を用いた書き込みペリファイ手段と、データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、データ回路の内容を一括更新するデータ回路内容一括更新手段とを備え、データ回路内容一括更新手段は、ビット線電位が再書き込みデータとしてセンス/記憶されるよう、メモリセルの書き込み動作

7

後の状態が出力されるビット線の電位をデータ回路の内容に応じて修正し、ビット線電位が修正されるまではデータ回路のデータ記憶状態を保持し、修正されたビット線電位を保持したままデータ回路をセンスアンプとして動作させ、データ回路の内容の一括更新を行い、データ回路の内容に基づく書き込み動作とデータ回路内容一括更新を、メモリセルが所定の書き込み状態になるまで繰り返しながら行うことにより電氣的にデータ書き込みを行うこと。

(3) データ回路は、書き込み動作時にデータ回路に記憶されているデータに応じてメモリセルの書き込み動作状態を制御し、メモリセルの状態を所定の書き込み状態になるよう変化させるか、又はメモリセルの状態を書き込み動作前の状態に保持するか否かを制御し、データ回路内容一括更新手段は、メモリセルを所定の書き込み状態になるよう変化させるよう制御するデータが記憶されているデータ回路に対応するメモリセルが所定の書き込み状態に達している場合は、データ回路のデータをメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータに変更し、メモリセルを所定の書き込み状態になるよう変化させるよう制御するデータが記憶されているデータ回路に対応するメモリセルが所定の書き込み状態に達していない場合は、メモリセルの状態を所定の書き込み状態になるよう変化させるよう制御するデータをデータ回路に設定し、データ回路にメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータが記憶されている場合は、メモリセルの状態を書き込み動作前の状態に保持するよう制御するデータをデータ回路に設定すること。

(4) しきい値検出手段によってメモリセルの書き込み後の状態が出力されるビット線電位の中で、データ回路の内容がメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータであるものに対応するビット線の電位のみを、データ回路でセンスした場合にメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータとなるような補正ビット線電位に設定するビット線電位設定回路を備え、データ回路内容一括更新のため、しきい値検出手段によりメモリセルの書き込み動作後の状態が出力されるビット線の電位をデータ回路の内容に応じてビット線電位設定回路によって修正すること。

(5) 1つのメモリセルに3以上の複数の記憶データ“i” ($i = “0”, “1”, “2”, \dots, “n-1”$) を持たせ多値記憶し、データ“0”に対応する記憶状態は消去状態である不揮発性半導体記憶装置であって、データ回路は、メモリセルの状態を書き込み動作前の状態に保持するよう制御するか否かを情報として記憶する第1のデータ記憶部と、第1のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御しない情報の場合メモリセルが記憶すべき書き

8

込みデータ“i” ($i = 1, 2, \dots, n-1$) を示す情報を記憶する第2のデータ記憶部とから構成され、第1のデータ記憶部は、データ回路内容一括更新のためデータ回路の内容に応じてビット線電位設定回路によって修正された、しきい値検出手段によりメモリセルの書き込み動作後の状態が出力されるビット線の電位を、センス/記憶する機能を兼ね備えること。

(6) 第1のデータ記憶部は、参照電圧とビット線電圧を比較することでビット線電位をセンスする機能を備え、データ回路内容一括更新のため、データ回路の内容に応じた参照電圧を用いて、データ回路の内容に応じてビット線電位設定回路によって修正された、しきい値検出手段によりメモリセルの書き込み動作後の状態が出力されるビット線の電位を、センス/記憶する機能を兼ね備えること。

(7) 第1のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御する情報である場合、書き込み動作時にビット線に書き込み防止ビット線電圧を出力する書き込み防止ビット線電圧出力回路と、第1のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御しない情報の場合、第2のデータ記憶部のメモリセルが記憶すべき書き込みデータ“i” ($i = 1, 2, \dots, n-1$) を示す情報に応じて第iの書き込み時のビット線電圧を出力する第iの書き込みビット線電圧出力回路とを備えたこと。

(8) ビット線電位設定回路を活性化する第1のデータ記憶部のデータと書き込み防止ビット線電圧出力回路を活性化する第1のデータ記憶部のデータが反転していて、書き込み動作時の第1のデータ記憶部のデータをビット線電位設定回路活性化前に反転させるデータ反転手段を備えたこと。

【0017】

【作用】本発明においては、多値データ書き込みを行った後、個々のメモリセルの書き込み状態がその所望の多値レベル状態に達しているか否かが同時に検出される。そして、所望の多値レベルに達していないメモリセルがあれば、そのメモリセルのみに再書き込みが行われるよう、所望の書き込み状態に応じて書き込み時のビット線電圧が出力される。この書き込み動作とベリファイ読み出しを繰り返し、全てのメモリセルが所望の書き込み状態に達していることを確認したらデータ書き込みを終了する。

【0018】このようにして本発明によれば、1回の書き込み時間を短くして、書き込み状態の進行の程度をチェックしながら小刻みに書き込み動作を繰り返すことによって、最終的にデータ書き込みが終了したメモリセルのしきい値を小さくすることを、高速に行うことができる。

【0019】

【実施例】以下、本発明の実施例を図面を参照して説明

する。図1は、本発明の第1の実施例に係わるNANDセル型EEPROMのメモリセルアレイ1を示している。メモリセルアレイ1はpウェル又はp基板上に形成され、ビット線BLに接続される選択トランジスタS1と、共通ソース線Vsに接続される選択トランジスタS2との間に、8つのメモリセルM1~M8が直列接続され1つのNANDセルを構成する。各選択トランジスタS(S1, S2)は選択ゲートSG(SG1, SG2)を有する。各メモリセルは積層形成された浮遊ゲート

(電荷蓄積層)と制御ゲートCG(CG1~CG8)を有し、浮遊ゲートに蓄えられる電荷の量で情報を記憶する。この蓄えられた電荷の量は、メモリセルのしきい値として読み出すことができる。

【0020】本発明では、このしきい値を図2に示されるようにして読み出す。ここでは、制御ゲートCG2を有するメモリセルM2が選択されている。図2(a)に示すように電圧を各部に印加し、ビット線BLはフローティングにする。ビット線BLを前もって0Vにリセットしておく、ビット線BLは共通ソース線VsによってNANDセルを通して充電される。この充電されたビット線BLの電位が選択されたメモリセルM2のしきい値によって決まるように、各選択ゲート、制御ゲート電圧は制御される。

【0021】この例では、選択ゲートSG1, 2、制御ゲートCG1, CG3~8を6Vに、選択された制御ゲートCG2を2Vに、共通ソース線Vsを6Vにする。各部の電圧波形は図2(b)に示されている。これにより2V以下のしきい値を読み出すことができ、非選択メモリセルのしきい値を2.5V以下に制御しておけば、1.5V以上のしきい値を読み出すことができる。ビット線BLの電位が0Vであればしきい値は2V以上、ビット線電位が3.5Vであればしきい値は-1.5V以下である。選択ゲートSG1, 2、非選択制御ゲートCG1, CG3~8の電圧を十分高くすると-4Vまでのしきい値も読み出すことができる。

【0022】この場合のメモリセルのしきい値とビット線出力電圧の関係は、図3に示すようになる。バックバイアスが0Vの場合のしきい値から計算すると実線のようになるが、実際にはビット線電圧がバックバイアスとなって1点鎖線のようにビット線出力電圧は低くなる。以下、説明の簡略化のため断らない限りしきい値という表現は、バックバイアスを考慮したものとする。

【0023】消去動作によってメモリセルの浮遊ゲートから電子が放出された後、書き込みデータに従う書き込み動作によって電子が浮遊ゲートに注入される。図4は、非選択メモリセルのしきい値で読み出し時のビット線出力電圧が制限されない場合の、書き込み時間と読み出し時のビット線出力電圧の関係を示している。例えば、読み出し時の共通ソース線の電圧が3Vの場合は、浮遊ゲートへ電子が注入されしきい値が-1V以上にな

らないとビット線出力電圧は変化しない。共通ソース線の電圧が6Vの場合でも、非選択メモリセルのしきい値が正の値であれば、読み出し時のビット線出力電圧は制限される。

【0024】1つのメモリセルに2つの状態(データ“0”, “1”)を持たせる場合、例えば図5に示すように読み出し時のビット線出力電圧が3~4Vとなる状態(しきい値で約-2V~-1V)をデータ“0”(消去状態)、ビット線出力電圧が1~2Vとなる状態(しきい値で約0~1V)をデータ“1”とすればよい。

【0025】1つのメモリセルに3つの状態(データ“0”, “1”, “2”)を持たせる場合、例えば図6に示すように読み出し時のビット線出力電圧が3.5~4.5Vとなる状態(しきい値で約-2.5V~-1.5V)をデータ“0”(消去状態)、ビット線出力電圧が1.5~2.5Vとなる状態(しきい値で約-0.5V~0.5V)をデータ“1”、ビット線出力電圧が0~0.5Vとなる状態(しきい値で約1.5V~2.5V)をデータ“2”とすればよい。

【0026】図7は、本発明の第2の実施例に係わるNORセル型EEPROMのメモリセルアレイ1を示している。メモリセルアレイ1はpウェル又はp基板上に形成され、ビット線BLと共通ソース線Vsの間に、メモリセルMが1つずつ配置される。各メモリセルは積層形成された浮遊ゲートとワード線WLを有する。

【0027】このメモリセルのしきい値を図8に示されるようにして読み出す。図8(a)に示すように電圧を各部に印加し、ビット線BLはフローティングにする。ビット線BLを前もって0Vにリセットしておく、ビット線BLは共通ソース線Vsによってメモリセルを通して充電される。この充電されたビット線BLの電位は選択されたメモリセルMのしきい値で決まる。

【0028】この例では、ワード線WLを6Vに、共通ソース線Vsを6Vにする。各部の電圧波形は図8

(b)に示されている。これにより、0~6Vのしきい値を読み出すことができる。ビット線BLの電位が0Vであればしきい値は6V以上、ビット線電位が6Vであればしきい値は0V以下である。この場合のメモリセルのしきい値とビット線出力電圧の関係は、図9に示すようになる。バックバイアスが0Vの場合のしきい値から計算すると実線のようになるが、実際には図3と同様に、ビット線電圧がバックバイアスとなって1点鎖線のようにビット線出力電圧は低くなる。

【0029】消去動作によってメモリセルの浮遊ゲートに電子が注入された後、書き込みデータに従う書き込み動作によって電子が浮遊ゲートから放出される。図10は、書き込み時間と読み出し時のビット線出力電圧の関係を示している。例えば、読み出し時の共通ソース線の電圧が3Vの場合は、浮遊ゲートから電子が放出されしきい値が3V以下になるとビット線出力電圧は変化しな

11

い。共通ソース線の電圧が6Vの場合でも、しきい値が0V以下になると読み出し時のビット線出力電圧は変化しなくなる。

【0030】1つのメモリセルに2つの状態(データ“0”, “1”)を持たせる場合、例えば図11に示すように読み出し時のビット線出力電圧が1~2Vとなる状態(しきい値で約4N~5V)をデータ“0”(消去状態)、ビット線出力電圧が3~4Vとなる状態(しきい値で約2V~3V)をデータ“1”とすればよい。

【0031】1つのメモリセルに3つの状態(データ“0”, “1”, “2”)を持たせる場合、例えば図12に示すように読み出し時のビット線出力電圧が0~0.5Vとなる状態(しきい値で約5.5V以上)をデータ“0”(消去状態)、ビット線出力電圧が1.5~2.5Vとなる状態(しきい値で約3.5V~4.5V)をデータ“1”、ビット線出力電圧が3.5~4.5Vとなる状態(しきい値で約1.5V~2.5V)をデータ“2”とすればよい。

【0032】図13は、本発明における第1及び第2の実施例における3値記憶式EEPROMの構成を示している。メモリセルアレイ1 (a) (b) に対して、読み出し/書き込み時のビット線を制御するためのビット線制御回路2と、ワード線電位を制御するためのワード線駆動回路6が設けられる。ビット線制御回路2はカラム・デコーダ3によって選択される。ビット線制御回路2は、データ入出力線(10線)を介して入出力データ変換回路4と読み出しデータ/書き込みデータのやり取りを行う。入出力データ変換回路4は、読み出されたメモリセルの多値情報を外部に出力するため2値情報に変換し、外部から入力された書き込みデータの2値情報をメモリセルの多値情報に変換する。入出力データ変換回路4は、外部とのデータ入出力を制御するデータ入出力バッファ5に接続される。

【0033】図14は、第1の実施例におけるNANDセル型EEPROMのメモリセルアレイ1とビット線制御回路2の具体的な構成を示している。NAND型セルの一端はビット線BLに接続され、他端は共通ソース線Vsと接続される。選択ゲートSG1, 2, 制御ゲートCG1~8は、複数個のNAND型セルで共有され、1本の制御ゲートを共有するメモリセルMはページを構成する。メモリセルはそのしきい値Vtでデータを記憶し、前記図6に示すように“0”, “1”, “2”データを記憶する。1つのメモリセルで3つの状態を持たせ、2つのメモリセルで9通りの組み合わせができる。この内、8通りの組み合わせを用いて、2つのメモリセルで3ビット分のデータを記憶する。

【0034】この実施例では、制御ゲートを共有する隣合う2つのメモリセルの組で3ビット分のデータを記憶する。また、メモリセルアレイ1 (a) (b) はそれぞれ専用のpウェル上に形成されている。

12

【0035】nチャネルMOSトランジスタ(n-ch Tr.) Qn8~10とpチャネルMOSトランジスタ(p-ch Tr.) Qn3~5、n-ch Tr. Qn11~13とp-ch Tr. Qn6~8でそれぞれフリップ・フロップFF1, 2を構成し、書き込み/読み出しデータをラッチする。また、センス・アンプとしても動作する。フリップ・フロップFF1は、「“0”書き込みをするか、“1”又は“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが「“0”の情報を持しているか、“1”又は“2”の情報を持しているか」、を読み出しデータ情報としてラッチする。フリップ・フロップFF2は、「“1”書き込みをするか、“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが「“2”の情報を持しているか、“0”又は“1”の情報を持しているか」、を読み出しデータ情報としてラッチする。

【0036】n-ch Tr. Qn1は、プリチャージ信号φpaが“H”となると電圧Vaをビット線BLaに転送する。n-ch Tr. Qn20は、プリチャージ信号φpbが“H”となると電圧Vbをビット線BLbに転送する。n-ch Tr. Qn4~7, p-ch Tr. Qp1~2は、フリップ・フロップFF1, FF2にラッチされているデータに応じて、電圧VBHa, VBMA, VBLaを選択的にビット線BLaに転送する。n-ch Tr. Qn14~17, p-ch Tr. 9~10は、フリップ・フロップFF1, FF2にラッチされているデータに応じて、電圧VBHb, VBMB, VBLbを選択的にビット線BLbに転送する。n-ch Tr. Qn2は信号φa1が“H”となることでフリップ・フロップFF1とビット線BLaを接続する。n-ch Tr. Qn3は信号φa2が“H”となることでフリップ・フロップFF2とビット線BLaを接続する。n-ch Tr. Qn19は信号φb1が“H”となることでフリップ・フロップFF1とビット線BLbを接続する。n-ch Tr. Qn18は信号φb2が“H”となることでフリップ・フロップFF2とビット線BLbを接続する。

【0037】次に、このように構成されたEEPROMの動作を図15~17に従って説明する。図15は読み出し動作のタイミング、図16は書き込み動作のタイミング、図17はペリファイ読み出し動作のタイミングを示している。いずれも制御ゲートCG2aが選択された場合を例に示してある。

【0038】読み出し動作は、2つの基本サイクルで実行される。読み出し第1サイクルは、まず電圧Vbが3Vとなってダミービット線となるビット線BLbはプリチャージされる。また、プリチャージ信号φpaが“L”となって選択ビット線BLaはフローティングにされ、共通ソース線Vsaが6Vとなる。続いて、選択ゲートSG1a, 2a, 制御ゲートCG1a, 3a~8aは6Vとされる。同時に選択された制御ゲートCG2aは2Vにされる。選択されたメモリセルにデータ“0”が書

13

き込まれている場合のみ、ビット線BL aの電圧は3 V以上となる。

【0039】この後、フリップ・フロップ活性化信号 ϕ_{n1} 、 ϕ_{p1} がそれぞれ“L”、“H”となって、フリップ・フロップFF 1はリセットされる。信号 ϕ_{a1} 、 ϕ_{b1} が“H”となってフリップ・フロップFF 1とビット線BL a、BL bは接続され、信号 ϕ_{n1} 、 ϕ_{p1} がそれぞれ“H”、“L”となってビット線電位がセンスされ、フリップ・フロップFF 1に、「“0”データか、“1”又は“2”データか」の情報がラッチされる。

【0040】読み出し第2サイクルは読み出し第1サイクルと、ダミービット線BL bの電圧が3 Vでなく1 Vであること、信号 ϕ_{a1} 、 ϕ_{b1} 、 ϕ_{n1} 、 ϕ_{p1} のかわりに信号 ϕ_{a2} 、 ϕ_{b2} 、 ϕ_{n2} 、 ϕ_{p2} が出力されることが違う。よって、読み出し第2サイクルでは、フリップ・フロップFF 2に、「“2”データか、“1”又は“0”データか」の情報がラッチされる。

【0041】以上説明した2つの読み出しサイクルによって、メモリセルに書き込まれたデータが読み出される。データ書き込みに先だってメモリセルのデータは消去され、メモリセルのしきい値 V_t は-1.5 V以下となっている。消去はpウェル、共通ソース線Vs a、選択ゲートSG 1 a、2 aを20 Vにし、制御ゲートCG 1 a~8 aを0 Vとして行われる。

【0042】書き込み動作では、まずプリチャージ信号 ϕ_{pa} が“L”となってビット線BL aがフローティングにされる。選択ゲートSG 1 aがVcc、制御ゲートCG 1 a~8 aがVccとされる。選択ゲートSG 2 aは書き込み動作中0 Vである。同時に、信号VRFY aが“H”、PBAが“L”となる。“0”書き込みの場合、フリップ・フロップFF 1にノードN1が“L”になるようにデータがラッチされているため、ビット線BL aは電圧VBH aによりVccに充電される。“1”又は“2”書き込みの場合は、ビット線BL aは0 Vである。

【0043】続いて、選択ゲートSG 1 a、制御ゲートCG 1 a~8 aが10 V、電圧VBH a、Vrwが8 V、電圧VBMaが1 Vとなる。“1”書き込みの場合は、フリップ・フロップFF 2にノードN3が“L”になるようにデータがラッチされているため、ビット線BL aには電圧VBMaにより1 Vが印加される。“2”書き込みの場合はビット線BL aは0 V、“0”書き込みの場合は8 Vとなる。この後、選択された制御ゲートCG 2 aが20 Vとされる。

【0044】“1”又は“2”書き込みの場合は、ビット線BL aと制御ゲートCG 2 aの電位差によって電子がメモリセルの電荷蓄積層に注入され、メモリセルのしきい値は上昇する。“1”書き込みの場合は、“2”書き込みに比較してメモリセルの電荷蓄積層に注入すべき電荷量を少なくしなければならないため、ビット線BL

14

aを1 Vにして制御ゲートCG 2 aとの電位差を19 Vに緩和している。“0”書き込み時は、ビット線電圧8 Vによってメモリセルのしきい値は実効的には変わらない。

【0045】書き込み動作の終了時は、まず選択ゲートSG 1 a、制御ゲートCG 1 a~8 aを0 Vとし、“0”書き込み時のビット線BL aの電圧8 Vは遅れて0 Vにリセットされる。この順序が反転すると一時的に“2”書き込み動作の状態ができて、“0”書き込み時に間違ったデータを書いてしまうからである。

【0046】書き込み動作後に、メモリセルの書き込み状態を確認し書き込み不足のメモリセルにのみ追加書き込みを行うため、ベリファイ読み出しが行われる。ベリファイ読み出しは、読み出し第1サイクルに似ている。違うのは、まずフリップ・フロップFF 1のデータを反転すること、電圧VbがVccとなること、信号VRFY a、VRFY bが出力され、その時電圧VBL b、VBM bがそれぞれ2.5 V、0.5 Vとなることである。電圧Vb、VBL b、VBM bとフリップ・フロップFF 1、2のデータによって、ダミービット線BL bの電圧は決定される。信号VRFY a、VRFY bは、選択ゲートSG 1 a、2 a、制御ゲートCG 1 a~8 aが0 Vにリセットされた後で信号 ϕ_{n1} 、 ϕ_{p1} がそれぞれ“L”、“H”なる前に出力される。言い替えると、ビット線BL aの電位がメモリセルのしきい値によって決定した後で、フリップ・フロップFF 1がリセットされる前である。

【0047】フリップ・フロップFF 1のデータを反転動作を説明する。まず、電圧Vbが2.5 Vとなってダミービット線となるビット線BL bはプリチャージされる。また、プリチャージ信号 ϕ_{pa} 、 ϕ_{pb} が“L”となってビット線BL a、BL bはフローティングにされる。続いて、信号PBAが“L”となって、ノードN1が“L”の場合のみビット線BL aは2.5 V以上に充電される。その後、フリップ・フロップ活性化信号 ϕ_{n1} 、 ϕ_{p1} がそれぞれ“L”、“H”となって、フリップ・フロップFF 1はリセットされる。信号 ϕ_{a1} 、 ϕ_{b1} が“H”となってフリップ・フロップFF 1とビット線BL a、BL bは接続され、信号 ϕ_{n1} 、 ϕ_{p1} がそれぞれ“H”、“L”となってビット線電位がセンスされる。この動作によってフリップ・フロップFF 1のデータは反転される。

【0048】次に、フリップ・フロップFF 1にラッチされているデータ(data 1)、フリップ・フロップFF 2にラッチされているデータ(data 2)と選択されたメモリセルのしきい値によって決まるデータ反転動作後のビット線BLの電圧を説明する。data 1は「“0”書き込みか、“1”又は“2”書き込みか」を制御し、“0”書き込みの場合はノードN1はデータ反転動作後に“H”、“1”又は“2”書き込みの場合は

15

ノードN1はデータ反転動作後に“L”である。data 2は「“1”書き込みか、“2”書き込みか」を制御し、“1”書き込みの場合はノードN3は“L”、“2”書き込みの場合はノードN3は“H”である。

【0049】“0”データ書き込み後のベリファイ読み出し動作では、メモリセルの状態によらず、信号VRFYaが“H”となることで0Vの電圧VBLa又はVBMaによってビット線BLは“L”となる。よって、フリップ・フロップFF1によってノードN1が“L”になるようにビット線BLaはセンスされ、ラッチされる再書き込みデータは、“0”である。

【0050】“1”データ書き込み後のベリファイ読み出し動作では、信号VRFYbが“H”となってダミービット線BLbは2.5Vとされる。よって、メモリセルが“1”書き込み状態に達していない場合、ビット線BLaは2.5V以上で、フリップ・フロップFF1によってノードN1が“H”になるようにビット線BLaはセンスされ、ラッチされる再書き込みデータは、“1”である。メモリセルが“1”書き込み状態に達している場合、ビット線BLaは2.5V以下で、フリッ

*20

16

*プ・フロップFF1によってノードN1が“L”になるようにビット線BLaはセンスされ、ラッチされる再書き込みデータは、“0”である。

【0051】“2”データ書き込み後のベリファイ読み出し動作では、信号VRFYbが“H”となってダミービット線BLbは0.5Vとされる。よって、メモリセルが“2”書き込み状態に達していない場合、ビット線BLaは0.5V以上で、フリップ・フロップFF1によってノードN1が“H”になるようにビット線BLaはセンスされ、ラッチされる再書き込みデータは、“2”である。メモリセルが“2”書き込み状態に達している場合、ビット線BLaは0.5V以下で、フリップ・フロップFF1によってノードN1が“L”になるようにビット線BLaはセンスされ、ラッチされる再書き込みデータは、“0”である。このベリファイ読み出し動作によって、書き込みデータとメモリセルの書き込み状態から再書き込みデータが下記の(表1)のように設定される。

【0052】

【表1】

書き込みデータ	0	0	0	1	1	2	2	2
メモリセルのデータ	0	1	2	0	1	0	1	2
再書き込みデータ	0	0	0	1	0	2	2	0

この(表1)から分かるように、“1”書き込み状態になるべきにもかかわらず“1”書き込み不足のメモリセルのみ再度“1”書き込みが行われ、“2”書き込み状態になるべきにもかかわらず“2”書き込み不足のメモリセルにのみ再度“2”書き込みが行われるようになっている。

【0053】書き込み動作とベリファイ読み出し動作を

繰り返すことによって、データ書き込みは行われる。下記の(表2)に、消去、書き込み、読み出し、ベリファイ読み出し時のメモリセルアレイ各部の電位を示す。

【0054】

【表2】

	消 去	書 き 込 み			読 み 出 し		ベリファイ 読 み 出 し
		"0"	"1"	"2"	第1サイクル	第2サイクル	
BL a	20V	8V	1V	0V	"0"読み出し時のみ "H"	"2"読み出し時のみ "L"	図17参照
SG1 a	20V		10V		6V	6V	6V
CG1 a	0V		10V		6V	6V	6V
CG2 a	0V		20V		2V	2V	2V
CG3 a	0V		10V		6V	6V	6V
CG4 a	0V		10V		6V	6V	6V
CG5 a	0V		10V		6V	6V	6V
CG6 a	0V		10V		6V	6V	6V
CG7 a	0V		10V		6V	6V	6V
CG8 a	0V		10V		6V	6V	6V
SG2 a	20V		0V		6V	6V	6V
Vs a	20V		0V		6V	6V	6V
pウェル	20V		0V		0V	0V	0V

【0055】図18は、第2の実施例におけるNORセル型EEPROMのメモリセルアレイ1とビット線制御回路2の具体的な構成を示している。NOR型セルの一端はビット線BLに接続され、他端は共通ソース線Vsと接続される。ワード線WLは、複数のNOR型セルで共有され、1本のワード線を共有するメモリセルMはページを構成する。メモリセルはそのしきい値Vtでデータを記憶し、図12のように“0”、“1”、“2”データを記憶する。1つのメモリセルで3つの状態を持たせ、2つのメモリセルで9通りの組み合わせができる。この内、8通りの組み合わせを用いて、2つのメモリセルで3ビット分のデータを記憶する。この実施例では、ワード線を共有する隣合う2つのメモリセルの組で3ビット分のデータを記憶する。また、メモリセルアレイ1 (a) (b) はp基板上に形成されている。

【0056】n-ch Tr. Qn26~28とp-ch Tr. Qn15~17、n-ch Tr. Qn29~31とp-ch Tr. Qn18~20でそれぞれフリップ・フロップFF3、4を構成し、書き込み/読み出しデータをラッチする。また、センス・アンプとしても動作する。フリップ・フロップFF3は、「“0”書き込みをするか、“1”又は“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが「“0”の情報保持しているか、“1”又は“2”の情報保持しているか」、を読み出

しデータ情報としてラッチする。フリップ・フロップFF4は、「“1”書き込みをするか、“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが「“2”の情報保持しているか、“0”又は“1”の情報保持しているか」、を読み出しデータ情報としてラッチする。

【0057】n-ch Tr. Qn21は、プリチャージ信号φpaが“H”となると電圧Vaをビット線BLaに転送する。n-ch Tr. Qn36は、プリチャージ信号φpbが“H”となると電圧Vbをビット線BLbに転送する。n-ch Tr. Qn24、25、p-ch Tr. 11~14は、フリップ・フロップFF3、FF4にラッチされているデータに応じて、電圧VBHa、VBMa、0Vを選択的にビット線BLaに転送する。n-ch Tr. Qn32、33、p-ch Tr. 21~24は、フリップ・フロップFF3、FF4にラッチされているデータに応じて、電圧VBHb、VBMb、0Vを選択的にビット線BLbに転送する。n-ch Tr. Qn22は信号φa1が“H”となることでフリップ・フロップFF3とビット線BLaを接続する。n-ch Tr. Qn23は信号φa2が“H”となることでフリップ・フロップFF4とビット線BLaを接続する。n-ch Tr. Qn35は信号φb1が“H”となることでフリップ・フロップFF3とビット線BLbを接続する。n-ch Tr. Qn34は信号φb2が“H”となることで

19

フリップ・フロップFF4とビット線BLbを接続する。

【0058】次に、このように構成されたEEPROMの動作を図19～21に従って説明する。図19は読み出し動作のタイミング、図20は書き込み動作のタイミング、図21はペリファイ読み出し動作のタイミングを示している。いずれもワード線WL aが選択された場合を例に示してある。

【0059】読み出し動作は、2つの基本サイクルで実行される。読み出し第1サイクルは、まず電圧Vbが1Vとなってダミービット線となるビット線BLbはプリチャージされる。また、プリチャージ信号φpaが“L”となって選択ビット線BL aはフローティングにされ、共通ソース線Vsaが6Vとなる。続いて、ワード線WL aは6Vとされる。選択されたメモリセルにデータ“0”が書き込まれている場合のみ、ビット線BL aの電圧は0.5V以下となる。

【0060】この後、フリップ・フロップ活性化信号φnl、φplがそれぞれ“L”、“H”となって、フリップ・フロップFF3はリセットされる。信号φal、φblが“H”となってフリップ・フロップFF3とビット線BL a、BL bは接続され、信号φnl、φplがそれぞれ“H”、“L”となってビット線電位がセンスされ、フリップ・フロップFF3に、“0”データか、“1”又は“2”データかの情報がラッチされる。

【0061】読み出し第2サイクルは読み出し第1サイクルと、ダミービット線BLbの電圧が1Vでなく3Vであること、信号φal、φbl、φnl、φplのかわりに信号φa2、φb2、φn2、φp2が出力されることが違う。よって、読み出し第2サイクルでは、フリップ・フロップFF4に、“2”データか、“1”又は“0”データかの情報がラッチされる。

【0062】以上説明した2つの読み出しサイクルによって、メモリセルに書き込まれたデータが読み出される。データ書き込みに先だってメモリセルのデータは消去され、メモリセルのしきい値Vtは5.5V以上となっている。ワード線WL aを20Vにし、ビット線BL aを0Vとして行われる。

【0063】書き込み動作では、まずプリチャージ信号φpaが“L”となってビット線BL aがフローティングにされる。続いて、信号VRFYBaが“L”、Paが“H”となる。“0”書き込みの場合は、フリップ・フロップFF3にノードN5が“H”になるようにデータがラッチされているため、ビット線BL aは0Vにされる。“1”又は“2”書き込みの場合は、ビット線BL aは電圧VBHa又はVBMaによってVccにされる。

【0064】続いて、電圧VBHa、Vrwが8V、電圧VBMaが7Vとなる。“1”書き込みの場合は、フリップ・フロップFF4にノードN7が“H”になるよ

20

うにデータがラッチされているため、ビット線BL aには電圧VBMaにより7Vが印加される。“2”書き込みの場合はビット線BL aは8V、“0”書き込みの場合は0Vとなる。この後、選択されたリード線WL aが-12Vとされる。

【0065】“1”又は“2”書き込みの場合は、ビット線BL aとワード線WL aの電位差によって電子がメモリセルの電荷蓄積層から放出され、メモリセルのしきい値は低下する。“1”書き込みの場合は、“2”書き込みに比較してメモリセルの電荷蓄積層から放出すべき電荷量を少なくしなければならないため、ビット線BL aを7Vにしてワード線WL aとの電位差を19Vに緩和している。“0”書き込み時は、ビット線電圧0Vによってメモリセルのしきい値は実効的には変わらない。

【0066】書き込み動作後に、メモリセルの書き込み状態を確認し書き込み不足のメモリセルにのみ追加書き込みを行うため、ペリファイ読み出しが行われる。ペリファイ読み出しは、読み出し第1サイクルに似ている。違うのは、まずフリップ・フロップFF3のデータを反転すること、電圧Vbが0Vであること、信号VRFYBa、VRFYBbが出力され、その時電圧VBHb、VBMbがそれぞれ1.5V、3.5Vとなることである。電圧Vb、VBHb、VBMbとフリップ・フロップFF3、4のデータによって、ダミービット線BLbの電圧は決定される。信号VRFYBa、VRFYBbは、ワード線WL aが0Vにリセットされた後で信号φnl、φplがそれぞれ“L”、“H”になる前に出力される。言い替えると、ビット線BL aの電位がメモリセルのしきい値によって決定した後で、フリップ・フロップFF3がリセットされる前である。

【0067】まず、フリップ・フロップFF1のデータを反転動作を説明する。まず電圧Va、VbがそれぞれVcc、2.5Vとなってビット線BL a、BL bはプリチャージされる。また、プリチャージ信号φpa、φpbが“L”となってビット線BL a、BL bはフローティングにされる。続いて、信号Paが“H”となって、ノードN3が“H”の場合のみビット線BL aは2.5V以下に放電される。その後、フリップ・フロップ活性化信号φnl、φplがそれぞれ“L”、“H”となって、フリップ・フロップFF3はリセットされる。信号φal、φblが“H”となってフリップ・フロップFF3とビット線BL a、BL bは接続され、信号φnl、φplがそれぞれ“H”、“L”となってビット線電位がセンスされる。この動作によってフリップ・フロップFF3のデータは反転される。

【0068】次に、フリップ・フロップFF3にラッチされているデータ(data1)、フリップ・フロップFF4にラッチされているデータ(data2)と選択されたメモリセルのしきい値によって決まるデータ反転動作後のビット線BLの電圧を説明する。data1は

21

「0」書き込みか、「1」又は「2」書き込みか」を制御し、「0」書き込みの場合はノードN5はデータ反転動作後に「L」、「1」又は「2」書き込みの場合はノードN5はデータ反転動作後に「H」ある。data 2は「1」書き込みか、「2」書き込みか」を制御し、「1」書き込みの場合はノードN7は「H」、「2」書き込みの場合はノードN7は「L」である。

【0069】「0」データ書き込み後のペリファイ読み出し動作では、メモリセルの状態によらず、信号VRFYBaが「L」となることで電圧VBHa又はVBMa 10によってビット線BLaは「H」となる。よって、フリップ・フロップFF3によってノードN5が「H」になるようにビット線BLaはセンスされ、ラッチされる再書き込みデータは、「0」である。

【0070】「1」データ書き込み後のペリファイ読み出し動作では、信号VRFYBbが「L」となってダミービット線BLbは1.5Vとされる。よって、メモリセルが「1」書き込み状態に達していない場合、ビット線BLaは1.5V以下で、フリップ・フロップFF3 20によってノードN5が「L」になるようにビット線BLaはセンスされ、ラッチされる再書き込みデータは、「1」である。メモリセルが「1」書き込み状態に達している場合、ビット線BLaは1.5V以上で、フリップ・フロップFF3によってノードN5が「H」になるようにビット線BLaはセンスされ、ラッチされる再書き込みデータは、「0」である。

【0071】「2」データ書き込み後のペリファイ読み*

22

*出し動作では、信号VRFYBbが「L」となってダミービット線BLbは3.5Vとされる。よって、メモリセルが「2」書き込み状態に達していない場合、ビット線BLaは3.5V以下で、フリップ・フロップFF3 10によってノードN5が「L」になるようにビット線BLaはセンスされ、ラッチされる再書き込みデータは、「2」である。メモリセルが「2」書き込み状態に達している場合、ビット線BLaは3.5V以上で、フリップ・フロップFF3によってノードN5が「H」になるようにビット線BLaはセンスされ、ラッチされる再書き込みデータは、「0」である。

【0072】このペリファイ読み出し動作によって、書き込みデータとメモリセルの書き込み状態から再書き込みデータが前記(表1)のように設定される。(表1)から分かるように、「1」書き込み状態になるべきにもかかわらず「1」書き込み不足のメモリセルのみ再度「1」書き込みが行われ、「2」書き込み状態になるべきにもかかわらず「2」書き込み不足のメモリセルにのみ再度「2」書き込みが行われるようになっている。

【0073】書き込み動作とペリファイ読み出し動作を繰り返し行うことによって、データ書き込みは行われる。下記の(表3)に、消去、書き込み、読み出し、ペリファイ読み出し時のメモリセルアレイ各部の電位を示す。

【0074】

【表3】

	消 去	書 き 込 み			読 み 出 し		ペリファイ 読 み 出 し
		"0"	"1"	"2"	読出し時の電位	読出し時の電位	
BLa	0V	0V	7V	8V	"0"読出し時の電位 "L"	"2"読出し時の電位 "H"	図21参照
WL a	20V		-12V		6V	6V	6V
Vs a	0V		0V		6V	6V	6V

【0075】図22は、図14に見られるフリップ・フロップFF1、2、或いは図18に見られるフリップ・フロップFF3、4と図13に見られる入出力データ変換回路4との間のデータ入出力を制御する回路である。インバータI1とNAND回路G1でカラム・デコーダ3を構成し、カラム活性化信号CENBが「H」となるとアドレス信号によって選択されたデコーダ出力は「H」となり、ノードA、B、C、DはそれぞれIOA 40

1、IOB1、IOA2、IOB2と接続される。ノードA、B、C、Dは図14でそれぞれノードN1、2、3、4、図18でそれぞれノードN6、5、8、7である。ビット線BLaが選択された場合の、読み出し/書き込みデータとIOA1、IOB1、IOA2、IOB2の関係は、下記の(表4)の通りである。

【0076】

【表4】

23

書き込みデータ	IOA1	IOB1	IOA2	IOB2
0	L	H	—	—
1	H	L	L	H
2	H	L	H	L

(a)

読み込みデータ	IOA1	IOB1	IOA2	IOB2
0	H	L	H	L
1	L	H	H	L
2	L	H	L	H

(b)

【0077】

【発明の効果】以上説明したように本発明によれば、回路面積の増大を抑制しながら、しかも1つのメモリセルに3つの書き込み状態を設定し、なおかつそれぞれのメモリセルのそれぞれの書き込み状態にするまでの書き込み時間を、書き込みベリファイ制御を行うことによって独立に最適化し、最終的に書き込まれたメモリセルのしきい値分布を高速に小さい範囲に収めることを可能としたEEPROMを得ることができる。また、1つのメモリセルに2つ、あるいは4つ以上の書き込み状態を設定する場合も、本発明の主旨に従えば可能である。

【図面の簡単な説明】

【図1】第1の実施例に係わるNANDセルアレイの構成を示す図。

【図2】第1の実施例におけるNANDセルの読み出し動作を示す図。

【図3】第1の実施例におけるメモリセルのしきい値と読み出し時のビット線出力電圧の関係を示す図。

【図4】第1の実施例における書き込み時間と読み出し時のビット線出力電圧の関係を示す図。

【図5】第1の実施例における1メモリセルに2値記憶させる場合の読み出し時のビット線出力電圧とデータの関係を示す図。

【図6】第1の実施例における1メモリセルに3値記憶させる場合の読み出し時のビット線出力電圧とデータの関係を示す図。

【図7】第2の実施例に係わるNORセルアレイの構成を示す図。

【図8】第2の実施例におけるNORセルの読み出し動

作を示す図。

【図9】第2の実施例におけるメモリセルのしきい値と読み出し時のビット線出力電圧の関係を示す図。

【図10】第2の実施例における書き込み時間と読み出し時のビット線出力電圧の関係を示す図。

【図11】第2の実施例における1メモリセルに2値記憶させる場合の読み出し時のビット線出力電圧とデータの関係を示す図。

【図12】第2の実施例における1メモリセルに3値記憶させる場合の読み出し時のビット線出力電圧とデータの関係を示す図。

【図13】第1、2の実施例に係わるEEPROMの構成を示すブロック図。

【図14】第1の実施例におけるメモリセルアレイとビット線制御回路の構成を示す図。

【図15】第1の実施例における読み出し動作を示すタイミング図。

【図16】第1の実施例における書き込み動作を示すタイミング図。

【図17】第1の実施例におけるベリファイ読み出し動作を示すタイミング図。

【図18】第2の実施例におけるメモリセルアレイとビット線制御回路の構成を示す図。

【図19】第2の実施例における読み出し動作を示すタイミング図。

【図20】第2の実施例における書き込み動作を示すタイミング図。

【図21】第2の実施例におけるベリファイ読み出し動作を示すタイミング図。

25

【図22】第1、2の実施例におけるカラム・デコーダの構成を示す図。

【符号の説明】

- 1…メモリセルアレイ
2…ビット線制御回路

*3…カラム・デコーダ

4…入出力データ変換回路

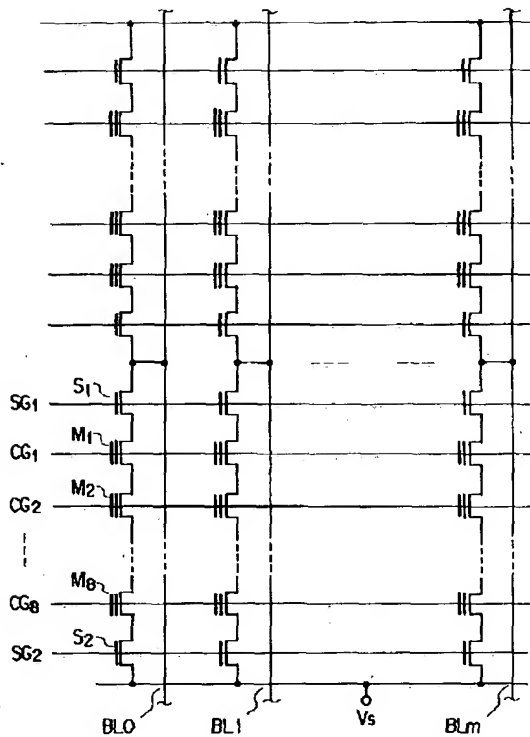
5…データ入出力バッファ

6…ワード線駆動回路

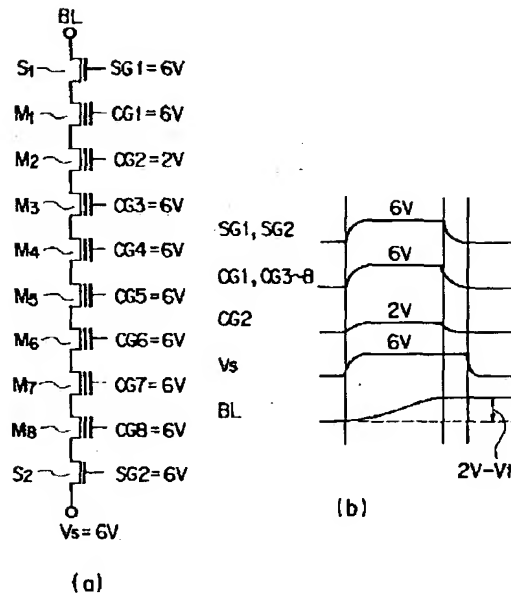
*

26

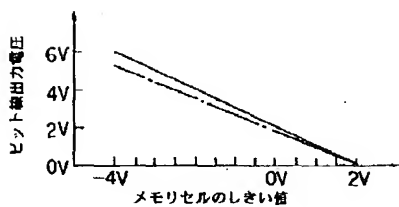
【図1】



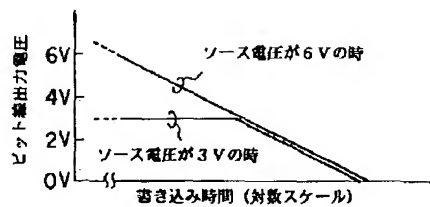
【図2】



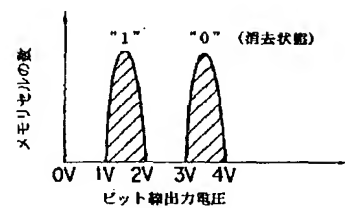
【図3】



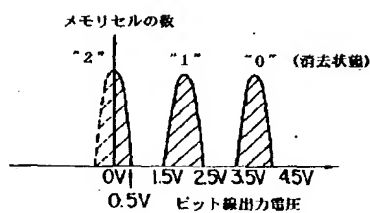
【図4】



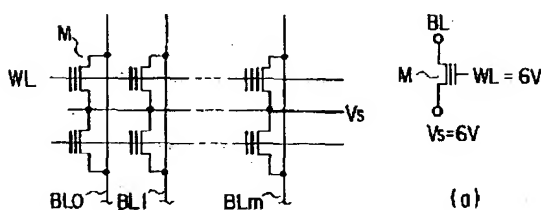
【図5】



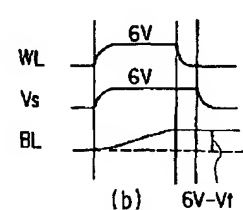
【図6】



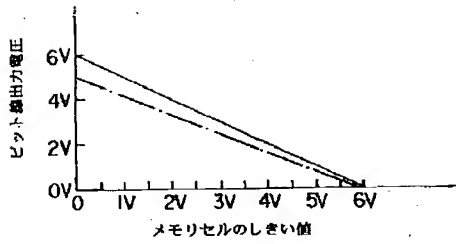
【図7】



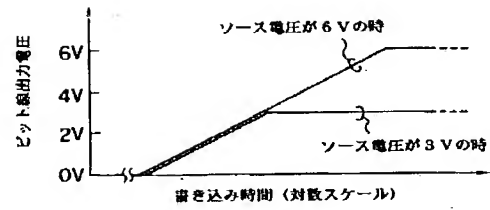
【図8】



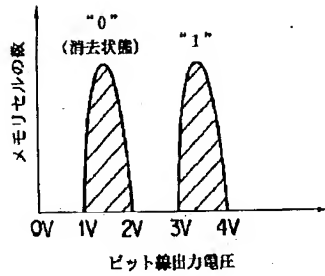
【図 9】



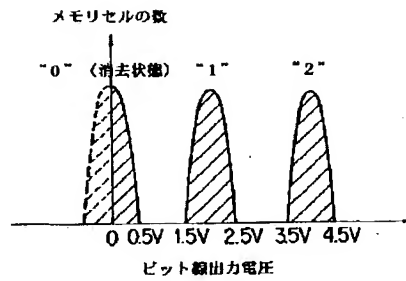
【図 10】



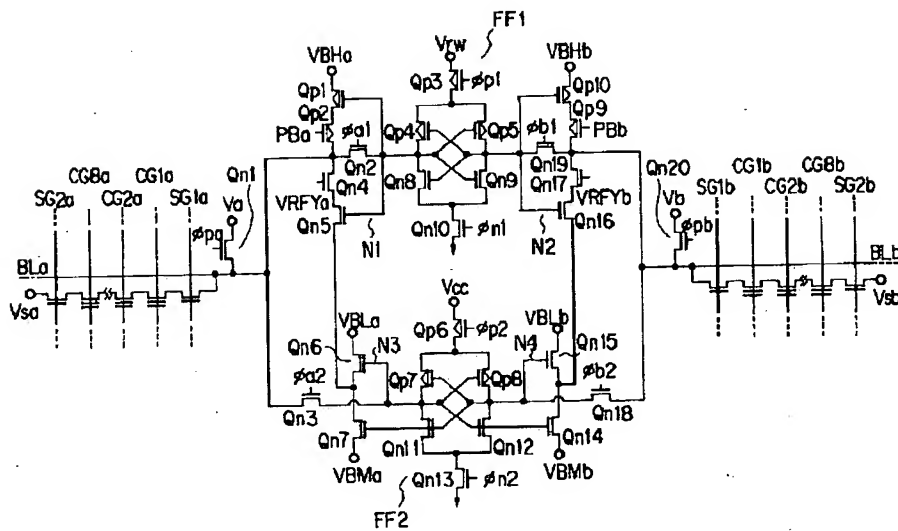
【図 11】



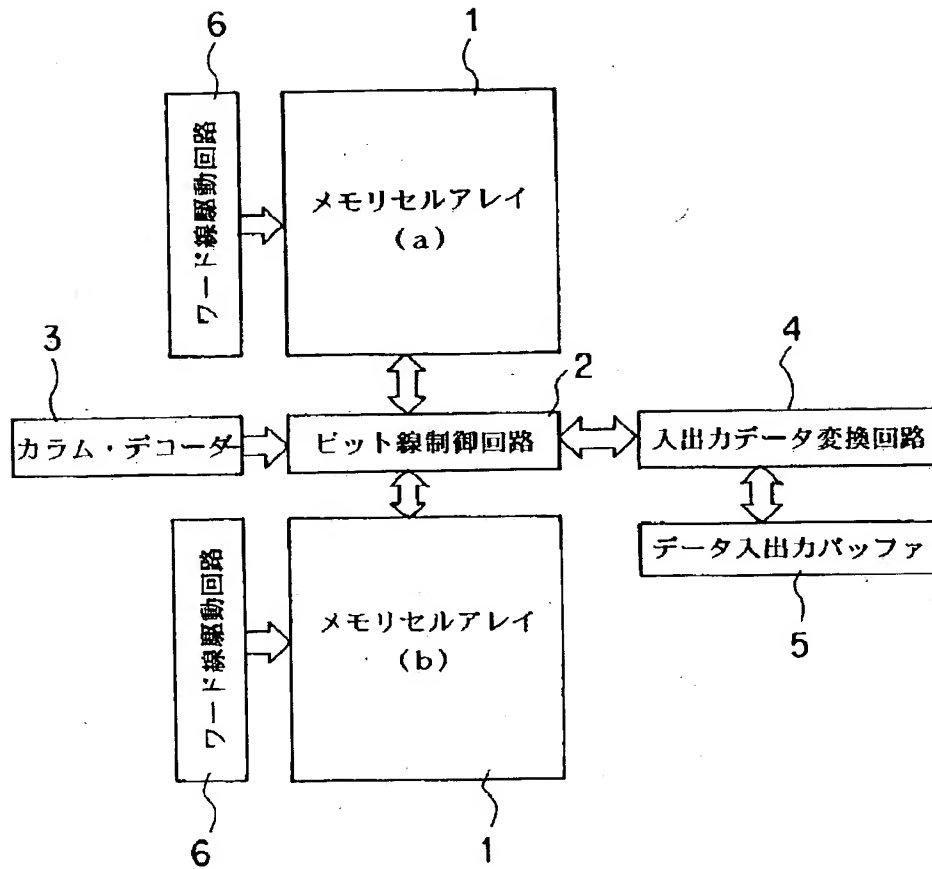
【図 12】



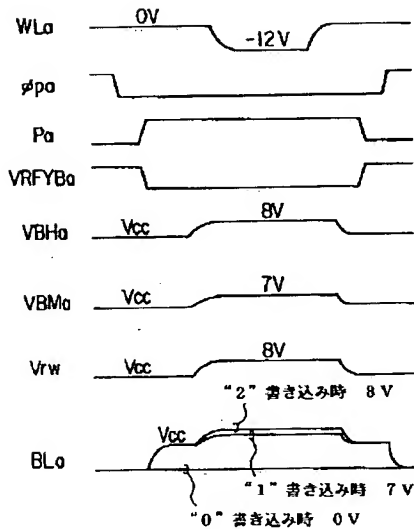
【図 14】



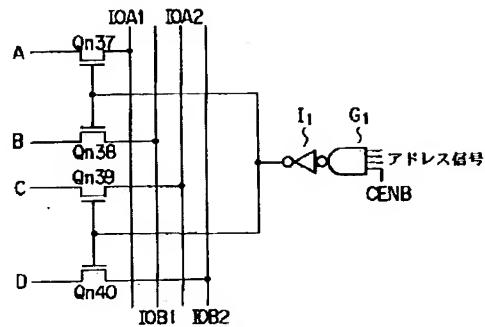
【図13】



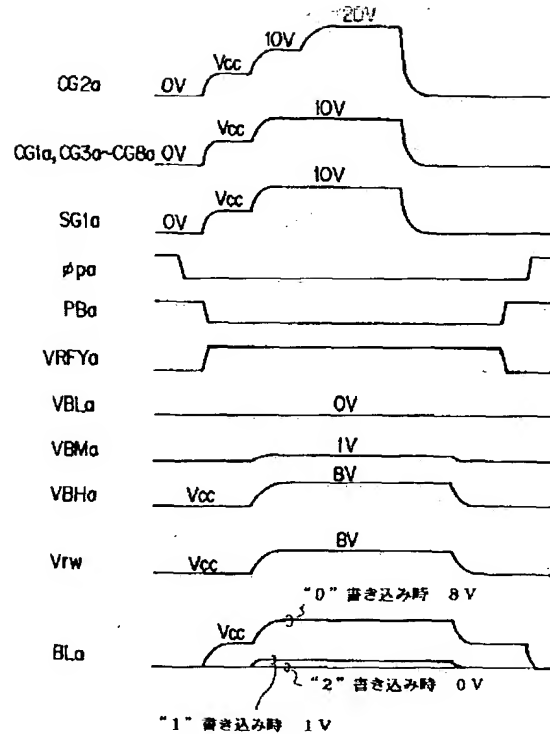
【図20】



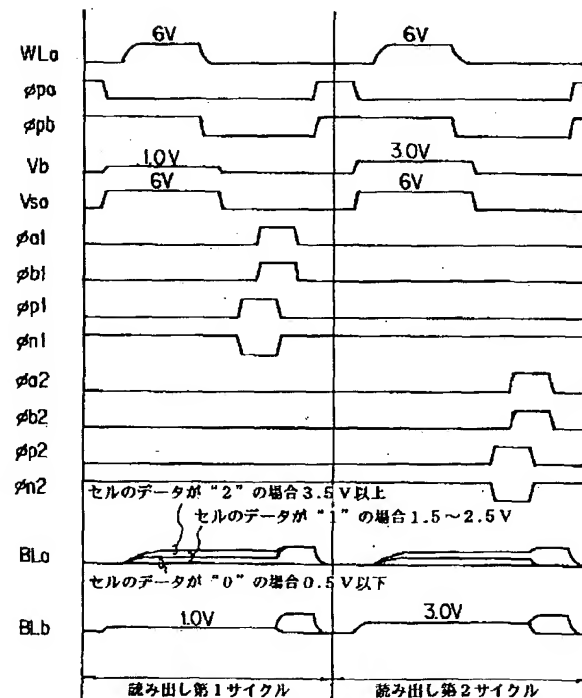
【図22】



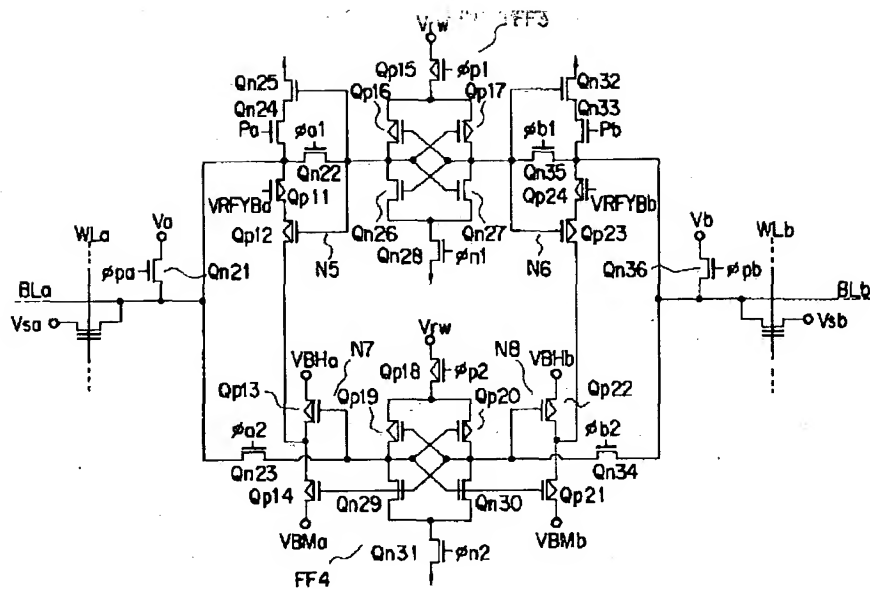
【図 16】



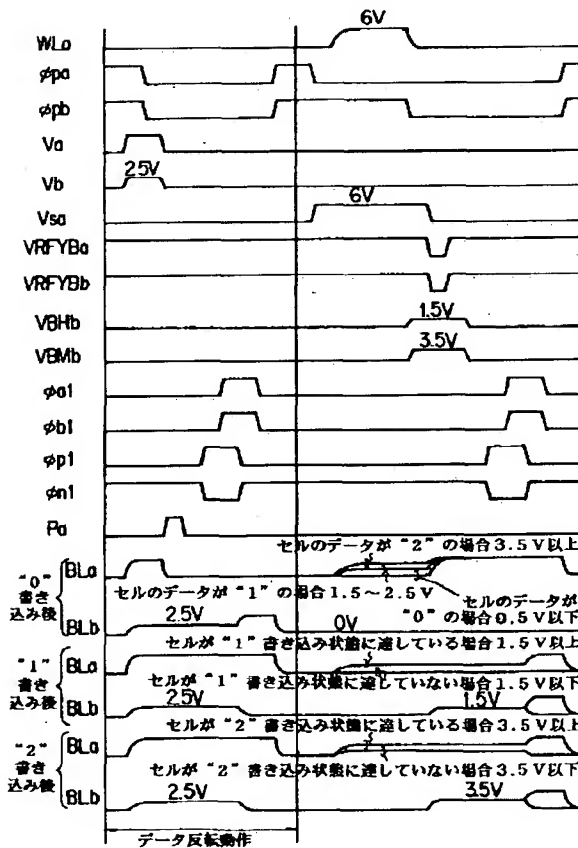
【图 19】



【図18】



【図21】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 16/04
16/06

G 1 1 C 17/00

5 1 0 A